

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256511

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H01L 27/108  
H01L 21/8242  
H01L 21/8234  
H01L 27/088  
H01L 27/10

(21)Application number : 10-035711

(71)Applicant : LG SEMICON CO LTD

(22)Date of filing : 18.02.1998

(72)Inventor : LEE CHANG JAE

(30)Priority

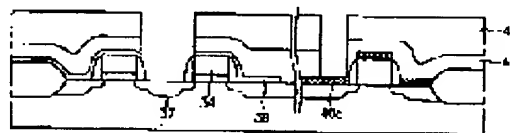
Priority number : 97 9708321 Priority date : 12.03.1997 Priority country : KR

## (54) MANUFACTURE METHOD OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To form DRAM regions and logic device regions on one chip by forming a side wall oxide film at both sides of gate lines, forming an Si nitride film, removing this film at logic device-forming regions, silicidizing, and forming contact holes.

SOLUTION: A side wall insulation film is formed at both sides of gate lines 34, source/drain regions 37 are formed on a semiconductor substrate using this insulation film and gate lines 34 as a mask. A thin Si nitride film 38 is formed on the entire surface, the film 38 on logic devices is removed, and a silicide layer 40a is formed on the gate lines 34 and a metal layer connected to the surface/drain regions 37. Then the nitride film 38 on dram device-forming regions is exposed to form contact holes utilizing the self-alignment method, and contact holes are formed to expose the silicide layer 40a at the logic device-forming regions.



## LEGAL STATUS

[Date of request for examination] 24.10.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256511

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
H 0 1 L 27/108		H 0 1 L 27/10	6 8 1 F
21/8242			4 6 1
21/8234		27/08	1 0 2 H
27/088		27/10	6 7 1 Z
27/10	4 6 1		
審査請求 未請求 請求項の数4 O L (全 8 頁)			
(21) 出願番号	特願平10-35711	(71) 出願人	591044131 エルジイ・セミコン・カンパニー・リミテ ッド 大韓民国 チュングチェオンブグード チ ェオンジューシ・ヒュンダーク・ヒャン ギェオンードン・1
(22) 出願日	平成10年(1998) 2月18日	(72) 発明者	チャン・ゼ・イ 大韓民国・チュンチョンブグード・チョン ズーシ・サンダンーク・ヨンアムードン・ (番地なし)・サムイル アパートメント 103-1408
(31) 優先権主張番号	8 3 2 1 / 1 9 9 7	(74) 代理人	弁理士 山川 政樹
(32) 優先日	1997年 3月12日		
(33) 優先権主張国	韓国 (K R)		

(54) 【発明の名称】 半導体デバイスの製造方法

(57) 【要約】

【課題】 1チップにDRAMデバイスとロジックデバイスとを形成させたデバイスの信頼性を高める製造方法を提供する。

【解決手段】 DRAM領域では自己整合技術を利用してコンタクトを形成し、かつロジックデバイス領域では必要箇所にシリサイドを形成することを一連の工程で行って、1つのチップに双方のデバイスを形成する半導体デバイスの製造方法。

## 【特許請求の範囲】

【請求項1】 DRAMデバイス領域とロジックデバイス領域とを備えた半導体デバイスの製造方法において、半導体基板のそれぞれの領域にゲート酸化膜を備えたゲートラインを形成する第1工程と、前記ゲートラインの両側面に側壁酸化膜を形成する第2工程と、前記半導体基板の第1、第2ゲートラインの両側に不純物領域を形成する第3工程と、前記ゲートラインを含む半導体基板の全面にシリコン窒化膜を形成する第4工程と、前記ロジックデバイス領域のシリコン窒化膜を除去する第5工程と、前記ロジックデバイス領域のゲートラインの上部とそのゲートラインの両側の不純物領域上にシリサイド層を形成する第6工程と、全面に酸化膜を形成する第7工程と、前記ロジックデバイス領域のゲートラインの一方の側の不純物領域上のシリサイド層に第1コンタクトホールを形成し、DRAMデバイス領域のゲートラインの一方の側の不純物領域に自己整合技術を利用して第2コンタクトホールを形成する第8工程と、を備えることを特徴とする半導体デバイスの製造方法。

【請求項2】 第5工程後、全面に金属層を堆積する工程と、前記第2ゲートラインの上部と前記第2ゲートラインの両側の不純物領域に熱処理を介してシリサイド層が形成される工程と、を更に備えることを特徴とする請求項1に記載の半導体デバイスの製造方法。

【請求項3】 前記第1コンタクトホールは、シリサイド層が露呈される領域と一致するようにパターニングして形成することを特徴とする請求項1に記載の半導体デバイスの製造方法。

【請求項4】 前記第2コンタクトホールは、DRAMデバイス領域のゲートラインの一方の側のシリコン窒化膜をRFバイアスを印加しない状態でプラズマエッチングで形成することを特徴とする請求項1に記載の半導体デバイスの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体デバイスの製造方法に関し、特に自己整合技術を利用してコンタクトを形成する工程とシリサイドを形成工程とを一連の工程で行うことができる半導体デバイスの製造方法に関するものである。

## 【0002】

【従来の技術】 近年半導体デバイスはより高集積化が進められている。例えばDRAMデバイスの場合、チップ内に1ギガビットの情報を記憶させることができるデバイスが開発中である。このような1GビットのDRAMデバイス内の単位情報を記憶させる単位素子のサイズは

0.3  $\mu\text{m}^2$  前後となってきた。

【0003】 これを実現するために、超微細化パターン形成技術と関連した多くの技術の開発が要求されている。超微細化パターン形成技術の代表的な例としては、コンタクトホールを形成するためにマスク合わせ誤差を許容できる自己整合技術を利用することである。これは0.3  $\mu\text{m}^2$  以下の単位素子を製造する技術においてはぜひとも必要な技術であり、自己整合されたコンタクトホール形成工程を用いることによりパターン形成がより容易になる。

【0004】 一方、マルチメディアの発達により、より複雑な機能を備えた製品が要求されるようになってきている。しかもこの複雑な機能を有しながらも、関連システムの側面からは小型化、軽量化及び携帯化が要求されている。従って、上記の相反する2つの要求を満足させるために、関連するデバイスのワンチップ化が最近の半導体デバイスの製造技術の関心事として浮き上がっている。代表的な傾向としては、DRAMデバイスとロジックデバイスとを一緒にしてワンチップ化しようとする動きがある。これを可能にするためには、新たな半導体単位工程の開発よりも、従来のDRAMデバイスの製造工程とロジックデバイスの製造工程とを同時に行うことができる技術の開発が要求されている。

【0005】 添付図面を参照して従来の半導体デバイスの製造方法を以下に説明する。図1、2は従来のDRAMとロジックとをワンチップ化した半導体デバイス中のDRAMデバイス領域の形成方法を示す工程断面図であり、図3、4は従来の半導体デバイス中のロジックデバイス領域の形成方法を示す工程断面図である。従来はDRAM領域とロジック領域とを別々の工程で形成していた。従来の半導体デバイス中のDRAM領域の形成方法は、図1に示すように、半導体基板1の活性領域とフィールド領域を区画した後、フィールド領域にフィールド酸化膜2を形成させる。次いで、全面に第1酸化膜、ポリシリコン層、第1シリコン窒化膜を順次に堆積する

(図示せず)。この後、感光膜を塗布して露光及び現像工程で選択的にパターニングした後、パターニングされた感光膜をマスクに用いて第1シリコン窒化膜、ポリシリコン層、第1酸化膜を異方性エッチングして全面にゲートキャップ窒化膜5、ゲートライン4、ゲート酸化膜3を堆積したゲート電極を形成する。次に、半導体基板1のゲート電極の両側にN型の低濃度イオンを注入してLDD領域6を形成する(図1a)。

【0006】 図1bに示すように、全面に第2シリコン窒化膜7を堆積する。その第2シリコン窒化膜7を異方性エッチングで除去してゲート電極の両側面に側壁絶縁膜7aを形成する。そして、側壁絶縁膜7aとゲート電極をマスクに用いて半導体基板7にN型の高濃度不純物イオンを注入してソース/ドレイン領域8を形成する(図1c)。

【0007】図2dに示すように、半導体基板1に第2酸化膜9を堆積する。全面に感光膜10を塗布した後、露光及び現像工程で隣接するゲート電極の間の感光膜10を除去する(図2e)。さらに、図2fに示すように、感光膜10をマスクに用いて、酸化膜とシリコン窒化膜のエッチング選択比が高い条件で、第2酸化膜9を自己整合技術されたコンタクトホール形成工程を介して隣接するゲート電極の間のソース/ドレイン領域8が露出されるようにコンタクトホールを形成する。

【0008】次いで、ロジックデバイスのシリサイド層の形成方法を説明する。図3aに示すように、半導体基板1に活性領域とフィールド領域を区画した後、フィールド領域にフィールド酸化膜2を形成する。そして、全面に第1酸化膜とポリシリコン層を堆積した後、感光膜を塗布し、露光及び現像工程を介して所定領域をパターニングする(図示せず)。次に、パターニングされた感光膜をマスクに用いて第1酸化膜とポリシリコン層を除去して所定の領域にゲート酸化膜13とゲートライン14を形成する。

【0009】図3bに示すように、ゲートライン14の両側面に低濃度N型不純物イオンを注入してLDD領域15を形成する。図3cに示すように、第2酸化膜を堆積した後、エッチバックしてゲート酸化膜13とゲートライン14の両側面に側壁絶縁膜16を形成する。

【0010】図4dに示すように、側壁絶縁膜16とゲートライン14をマスクに用いて半導体基板11にN型の高濃度不純物イオンを注入してソース/ドレイン領域17を形成する。図4eに示すように、半導体基板11に金属層18を堆積する。この金属層としては、チタンTi、タングステンW、タンタルTaが使用可能である。図4fに示すように、熱工程を介して金属層18と接触されたゲートライン14の上とソース/ドレイン領域17の上にシリサイド層19を形成する。この後に、シリサイド層19の形成されなかった金属層18を除去する。

【0011】

【発明が解決しようとする課題】上記の従来の半導体デバイスの製造方法は、以下の問題点があった。第1に、自己整合技術を利用してDRAMのゲート電極のいずれかの不純物領域にコンタクトホールを形成させる場合は、ゲート電極の両側面の側壁絶縁膜をシリコン窒化膜で形成しなければならないため、トランジスタの動作時に発生するホットキャリアをトラップする領域がシリコン窒化膜に多く発生する。このため、チャンネルの抵抗が大きくなり、トランジスタが誤動作することがあり、デバイスの信頼性が低下する。第2に、ロジックデバイスとDRAMデバイスとを1つのチップに一連の工程で製造するとき、双方の側壁を同時に形成することになるが、そうすると双方とも同じ材料を使用することになる。その際、ロジックデバイスのゲートラインの両側面

の側壁絶縁膜を酸化膜の代わりにシリコン窒化膜で形成すれば、シリコン窒化膜の構造は酸化膜に比べて非対称であるため、シリコン原子を引っ張る電気的な力(クーロン力)が作用する。これにより、ソース/ドレイン領域とゲートラインのシリコン原子がシリコン窒化膜で形成された側壁絶縁膜へ移動してシリサイドを形成するようになって、ゲートラインとソース/ドレイン領域が電氣的に連結されるブリッジ問題が発生する。

【0012】本発明は、上記の問題点を解決するためになされたもので、DRAM領域では自己整合技術を利用してコンタクトを形成し、かつロジックデバイス領域では必要箇所にシリサイドを形成することを一連の工程で行って、1つのチップに双方のデバイスを形成する半導体デバイスの製造方法を提供することが目的である。

【0013】

【課題を解決するための手段】上記の目的を達成するための本発明の半導体デバイスの製造方法は、半導体基板上のDRAMデバイス領域とロジックデバイス領域とにそれぞれゲートラインを形成したのち、それらのゲートラインの両側面に側壁酸化膜を形成する。その後基板に不純物領域を形成させて、ゲートラインを含む半導体基板の全面にシリコン窒化膜を形成する。そのシリコン窒化膜のロジックデバイス領域の部分除去して、ロジックデバイスのゲートラインの側壁を酸化膜が露出するようにする一方、DRAMデバイス領域のゲートラインの側壁には酸化膜の上にシリコン窒化膜が覆っている状態にする。そうしてから、ロジックデバイス領域のゲートラインの上部とそのゲートラインの両側の不純物領域上にシリサイド層を形成する。シリサイド層を形成させた後全面に酸化膜を形成して、その酸化膜にコンタクトホールを形成する。その際、DRAM領域ではゲート電極の側壁の表面にシリコン窒化膜が形成されているので、自己整合技術を利用することができる。

【0014】

【発明の実施の形態】添付図面に基づき本発明実施形態の半導体デバイスの製造方法を以下に説明する。図5～図8は、本実施形態の半導体デバイスの製造方法を示す工程断面図である。本半導体デバイスの製造方法は、1つのチップにDRAMデバイスとロジックデバイスとを一連の工程で製造するようにした。図面上に左側がDRAMデバイス領域、右側がロジックデバイス領域を示す。図5aに示すように、半導体基板31に活性領域とフィールド領域を定めた後、フィールド領域にフィールド酸化膜32を形成する。その全面に熱酸化工程でゲート酸化膜33を形成し、その上にポリシリコン層を堆積したのち、感光膜を塗布し(図示せず)、露光及び現像工程で選択的にパターニングし、パターニングされた感光膜を用いて前記ポリシリコン層とゲート酸化膜33をエッチングして活性領域にゲート酸化膜33とゲートライン34を形成する。この後に、ゲートライン34の両

5

側の半導体基板31にリンイオンを注入してLDD領域35を形成する。

【0015】図5bに示すように、全面にCVD法で第1酸化膜36を形成する。図5cに示すように、第1酸化膜36をエッチバックしてゲートライン34の両側面に側壁絶縁膜36aを形成する。そして、側壁絶縁膜36aとゲートライン34をマスクに用いて半導体基板31に高濃度N型不純物イオンを注入してソース/ドレイン領域37を形成する。

【0016】図5dに示すように、全面にCVD法でシリコン窒化膜38を薄く形成する。図6eに示すように、全面に感光膜39を塗布したのち、露光及び現像工程でロジックデバイスの上部の感光膜39を除去する。この感光膜39をマスクに用いてロジックデバイス上に形成されたシリコン窒化膜38を除去する。残されていた感光膜39を除去した後、図6fに示すように、全面にスパッタ法で金属層40を形成する。この金属層40としてはチタンTi、タングステンW、タンタルTaが使用可能である。

【0017】図6gに示すように、不活性気体を注入した状態で、500～700℃の温度で熱処理して、ゲートライン34の上とソース/ドレイン領域37と接続された金属層40にシリサイド層40aを形成する。このとき、例えばチタンTiからなる金属層40の場合は、1つのTi原子が2つのSi原子と反応してチタニウムシリサイド(TiSi<sub>2</sub>)層が形成される。このチタニウムシリサイド層は、チタンがシリコンの露出した表面でシリコンを消耗しながら形成される。このとき、DRAMデバイス側はその表面がシリコン窒化膜38で覆われているので、シリサイド化が生じない。金属層40がそのまま残る。

【0018】図7hに示すように、シリサイド層40aが形成されなかった金属層40をアンモニア水溶液に浸けて除去する。次いで、700～800℃で熱処理してシリサイド層40aを安定化させる。CVD法で第2酸化膜41を半導体基板31に平坦に堆積する。図7iに示すように、全面に感光膜42を塗布し、露光及び現像工程でDRAMデバイスのゲートライン34の一方の側、ゲートラインが隣接している場合はその双方に共通の側のソース/ドレイン領域37の上部、及びロジックデバイスのゲートライン34の一方の側のソース/ドレイン領域37の上側の感光膜42を除去する。このとき、DRAMデバイスの感光膜42は、後工程で露出する半導体基板31の部分より大きいサイズにパターンニングして自己整合技術を利用するようにし、ロジックデバイスの感光膜42は、シリサイド層40aと接触する部分と一致するようにパッドパターンニングされる。

【0019】図7jに示すように、パターンニングされた感光膜42をマスクに用いて、第2酸化膜41とシリコン窒化膜38のエッチング選択比が高いCHF<sub>3</sub>、C<sub>2</sub>

6

F<sub>6</sub>、Arガスが混合された状態で、異方性エッチングでシリコン窒化膜38とシリサイド層40aが露出されるまで第2酸化膜41を除去する。これにより、DRAMデバイスが形成される領域にはシリコン窒化膜38が露出されて自己整合技術を利用してコンタクトホールが形成され、ロジックデバイスが形成される領域にはパターンニングによってシリサイド層40aが露出されるようにコンタクトホールが形成される。

【0020】図8kに示すように、RFバイアスを印加せず、プラズマエッチングしてシリコン窒化膜38をエッチングしてDRAMデバイスとロジックデバイスのコンタクトホールを形成する。このように、プラズマエッチング方法を用いると、半導体基板31の損傷無しにシリコン窒化膜38をエッチングすることができる。図8lに示すように、感光膜42を除去してすることで自己整合技術を利用したコンタクトホールを備えたDRAMデバイスとシリサイド層40aを備えたロジックデバイスの形成工程とを一連の工程で行って1つのチップに形成する。

【0021】

【発明の効果】上記のように製造される本発明のDRAMデバイス領域とロジックデバイス領域を含む半導体デバイスの製造方法は、ゲートラインの側面に双方の領域とも側壁酸化膜を形成させた後シリコン窒化膜を形成させ、ロジックデバイス量異近所シリコン窒化膜を除去してその後のシリサイド化並びにコンタクトホール形成工程を行うので、ロジックデバイスのゲートライン上にシリサイド層を形成しても、ゲートラインとソース/ドレインとが電気的に連結されるブリッジ問題を防止することができる一方、DRAMデバイス領域では自己整合技術を利用してコンタクトホールを形成させることができる。さらに、本発明においては、DRAMのゲート電極の側壁を酸化膜で形成することができるので、トランジスタの動作時に発生するホットキャリアをトラップすることがなくなり、トランジスタのホットキャリアによる誤動作を無くすることができる。

【図面の簡単な説明】

【図1】 従来の半導体デバイス中のDRAM領域の形成方法を示す工程断面図。

【図2】 従来の半導体デバイス中のDRAM領域の形成方法を示す工程断面図。

【図3】 従来の半導体デバイス中のロジックデバイスの形成方法を示す工程断面図。

【図4】 従来の半導体デバイス中のロジックデバイスの形成方法を示す工程断面図。

【図5】 本発明実施形態の半導体デバイスの製造方法を示す工程断面図。

【図6】 本発明実施形態の半導体デバイスの製造方法を示す工程断面図。

【図7】 本発明実施形態の半導体デバイスの製造方法

を示す工程断面図。

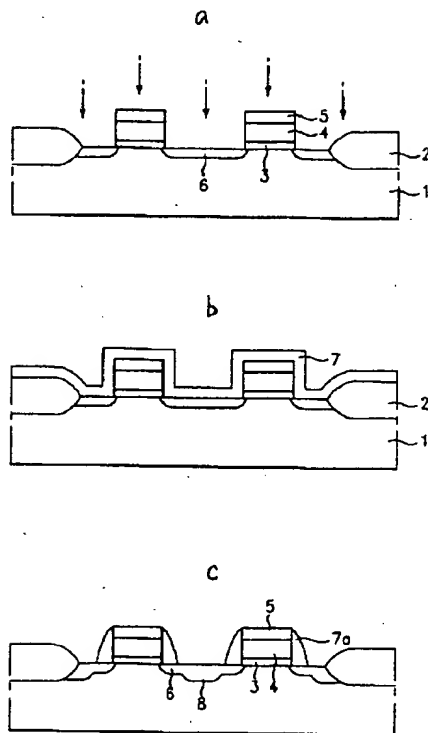
【図8】 本発明実施形態の半導体デバイスの製造方法を示す工程断面図。

【符号の説明】

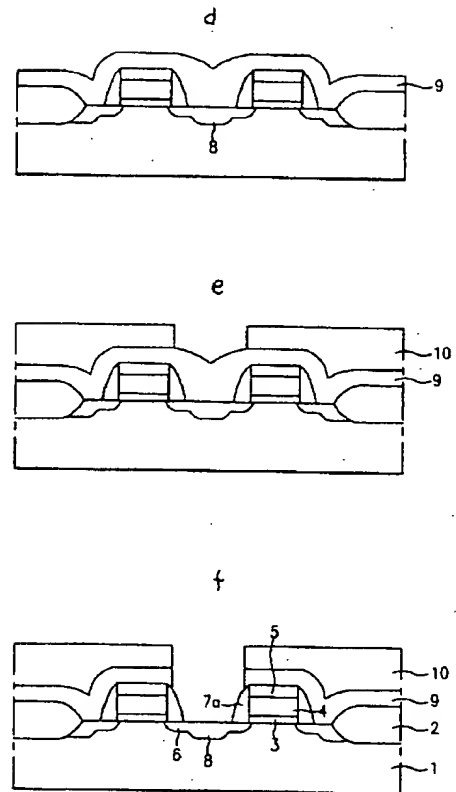
- 31 半導体基板
- 32 フィールド酸化膜
- 33 ゲート酸化膜
- 34 ゲートライン
- 35 LDD領域

- 36 第1酸化膜
- 36a 側壁絶縁膜
- 37 ソース/ドレイン領域
- 38 シリコン窒化膜
- 39、42 感光膜
- 40 金属層
- 40a シリサイド層
- 41 第2酸化膜

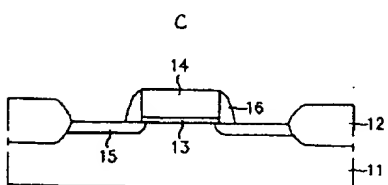
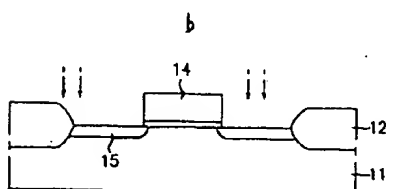
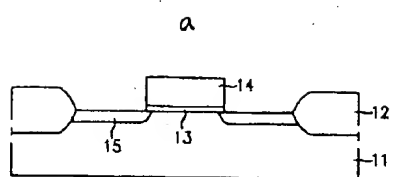
【図1】



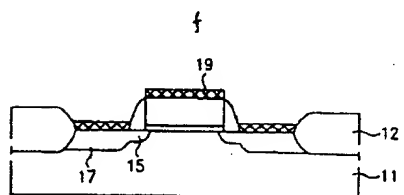
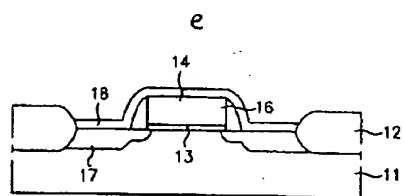
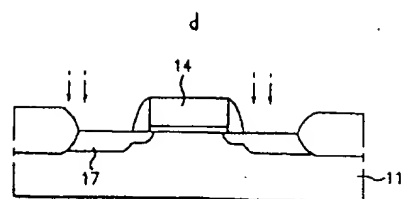
【図2】



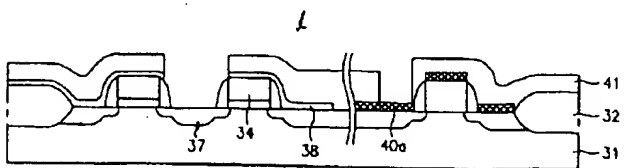
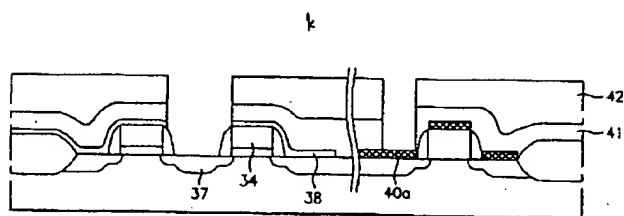
【図 3】



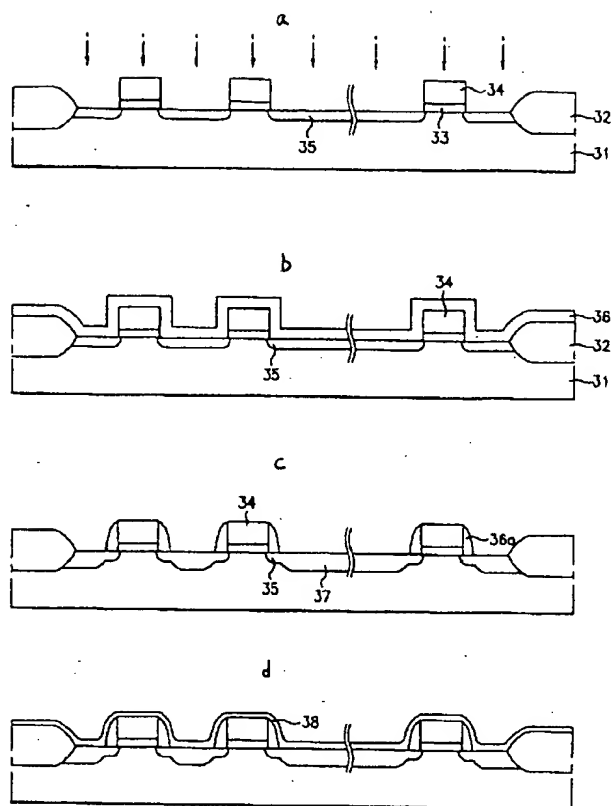
【図 4】



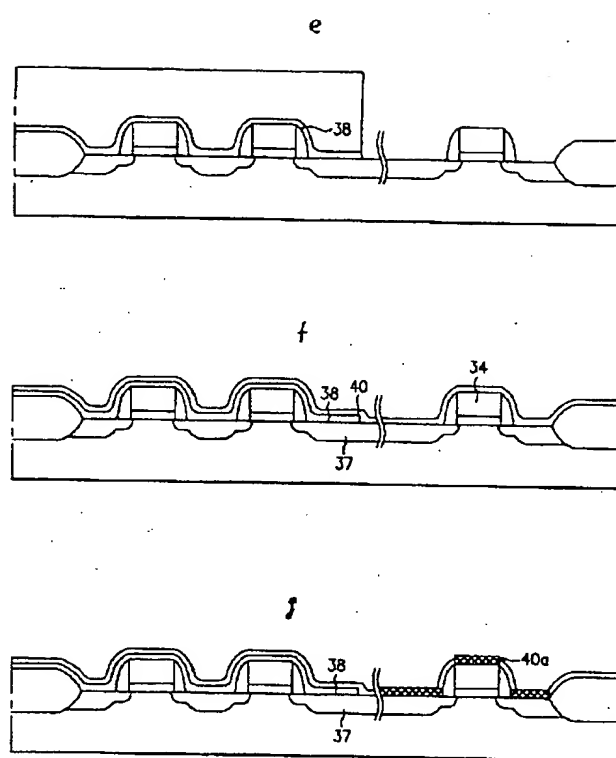
【図 8】



【図5】



【図6】





【図 7】

